

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 09074397 A

(43) Date of publication of application: 18.03.97

(51) Int. Cl

H04J 3/00**H04L 12/28****H04M 7/00****H04Q 3/00**

(21) Application number: 07229461

(71) Applicant: NIPPON TELEGR & TELEPH CORP <NTT>

(22) Date of filing: 06.09.95

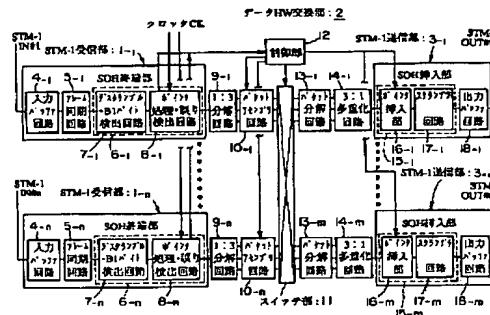
(72) Inventor: KOBAYASHI YUKIO
HAGIMOTO KAZUO

(54) CROSS CONNECTION CIRCUIT AND TERMINAL STATION EQUIPMENT USING THE SAME

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a cross connection circuit and a terminal station equipment using it for reducing signal propagation delay, reducing a memory amount required for cross connection, reducing a circuit scale and preventing information omission by contention from being generated even in an ATM equipment or the like.

SOLUTION: STM-1 input signals IN#1-IN#n are passed through STM-1 reception parts 1-1 to 1-n, demultiplexed into AU-3 data in 1:3 demultiplex circuits 9-1 to 9-n are converted to packets in packet assembly circuits 10-1 to 10-n. The packets are distributed to packet disassembly circuits 13-1 to 13-m corresponding to the address of a transmission destination decided by a control part 12 beforehand by a switching part 11. Then, data are extracted by the inverse method of packet making and assembled into an STM-1 frame structure in a 3:1 multiplex circuit and STM-1 output signals OUT#1 to OUT#m are outputted through STM-1 transmission parts 3-1 to 3-m.



98-01770(20083) 内連

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-74397

(43)公開日 平成9年(1997)3月18日

(51) Int.Cl. ^a H 04 J 3/00 H 04 L 12/28 H 04 M 7/00 H 04 Q 3/00	識別記号 9466-5K	序内整理番号 F I H 04 J 3/00 H 04 M 7/00 H 04 Q 3/00 H 04 L 11/20	技術表示箇所 X U A H
審査請求 未請求 請求項の数 5 OL (全 8 頁)			

(21)出願番号 特願平7-229461

(22)出願日 平成7年(1995)9月6日

(71)出願人 000004226
日本電信電話株式会社
東京都新宿区西新宿三丁目19番2号

(72)発明者 小林 由紀夫
東京都千代田区内幸町一丁目1番6号 日
本電信電話株式会社内

(72)発明者 萩本 和男
東京都千代田区内幸町一丁目1番6号 日
本電信電話株式会社内

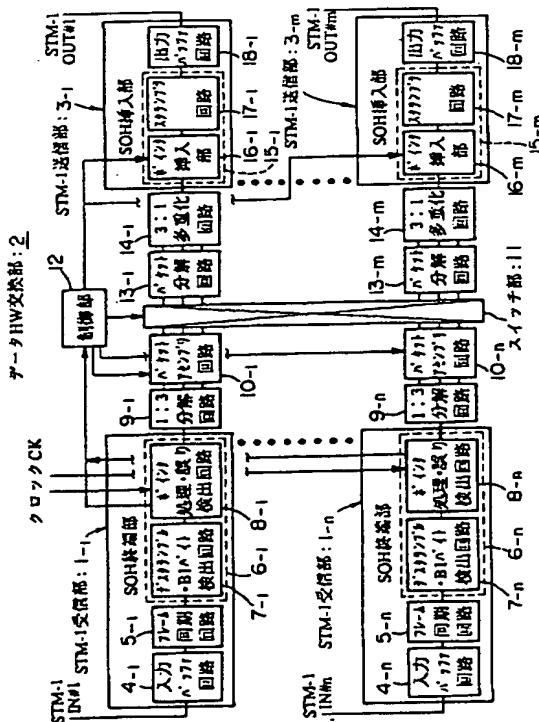
(74)代理人 弁理士 志賀 正武

(54)【発明の名称】クロスコネクト回路およびこれを用いた端局装置

(57)【要約】

【課題】信号伝搬遅延が少なく、クロスコネクトに必要なメモリ量を削減して回路規模を縮小し、ATM装置等においても競合による情報欠落が発生しないクロスコネクト回路およびこれを用いた端局装置を提供する。

【解決手段】STM-1入力信号IN#1～IN#nは、STM-1受信部1-1～1-nを経て、1:3分離回路9-1～9-nでAU-3データに分離され、パケットアセンブリ回路10-1～10-nでパケットに変換される。これらパケットは、スイッチ部1-1により、制御部1-2が予め決めた送信先のアドレスに従ってパケット分解回路13-1～13-mに振り分けられる。次に、パケット化と逆の方法でデータが抽出され、3:1多重化回路でSTM-1フレーム構造に組み立てられ、STM-1送信部3-1～3-mを介してSTM-1出力信号OUT#1～OUT#mが出力される。



【特許請求の範囲】

【請求項1】 所定数のビットを単位としてS_r行×S_c列で表現されるサブフレームと、該サブフレームを管理するC_m列の管理情報バイトとを方路入れ替えするクロスコネクト回路であって、

前記サブフレームと該サブフレームを管理する前記管理情報バイトとを所定の長さのパケットデータへ変換するパケット生成手段と、

前記パケットデータにアドレスを付与するための制御を行なう回線制御手段と、

前記回線制御手段により指定された前記アドレスを、前記パケット生成手段が生成した前記パケットデータのアドレス部分へ書き込むアドレス付与手段と、

前記パケットデータに付与されたアドレスに基づいて、該パケットデータを対応する出力端子へ振り分けるパケットスイッチ手段と、

前記パケットスイッチ手段で振り分けられたパケットデータから前記アドレス部分を取り除いて、該パケットデータの情報部分を抽出するパケット分解手段と、

前記サブフレームを生成するために必要とされる管理情報を、前記情報部分に付加して、サブフレームを再生するサブフレーム生成手段とを具備してなるクロスコネクト回路。

【請求項2】 前記パケットデータとして、ITU-T I. 432で規定されるATMセルを使用することを特徴とする請求項1記載のクロスコネクト回路。

【請求項3】 前記S_r行×S_c列のサブフレームと該サブフレームに対応する前記C_m列の管理情報バイトとを合わせたS_r行×(S_c+C_m)列のフレーム構造を、(S_c+C_m)の長さのパケットへ変換することを特徴とする請求項1記載のクロスコネクト回路。

【請求項4】 所定数のビットを単位としてM_r行×M_c列で表現されるビット配列を持つメインフレームを有し、該メインフレームの特定のC_m列には管理情報バイト群を有し、該管理情報バイト群を除いた部分に、S_r行×S_c列で表現されるサブフレームを複数個収容した伝送路符号を送受信する端局装置において、

受信した前記メインフレーム信号から、前記サブフレームと該サブフレームを管理する管理情報バイトを一つの単位として分離するフレーム分離手段と、

前記フレーム分離手段が生成した前記サブフレームと該サブフレームを管理する管理情報バイトとを方路入れ替えする請求項1乃至請求項3の何れかの項に記載されたクロスコネクト回路と、

前記クロスコネクト回路から出力されるサブフレームをもとにメインフレームを生成するフレーム多重化手段とを具備し、

入力されたn本のメインフレーム信号を、m本のメインフレーム出力信号へサブフレーム単位に方路変更することを特徴とする端局装置。

【請求項5】 前記メインフレームとして、ITU-Tの勧告書G. 707, G. 708, G. 709で規定されるSDHフレームを用いることを特徴とする請求項4記載の端局装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、M_r行×M_c列からなるメインフレーム構造の伝送路符号信号を送受信する端局装置に関する。これに加え、本発明はこの端局装置に使用するクロスコネクト回路に関し、SDH(Synchronous Digital Hierarchy)伝送装置において、複数のSTM-N(Synchronous Transport Module Level-N; Nは信号速度に応じた値であって、0, 1, 4, 16, 64の何れかの値をとる)入力信号を、AU-3又はAU-4(Administrative Unit level-3 or 4)単位に入れ替えて、複数のSTM-N出力信号へ変換するクロスコネクト(方路入れ替え)技術ないしは挿入分離(Add Drop)技術に関するものである。

【0002】

【従来の技術】 ITU-T(国際電気通信連合の電気通信標準化部門)の勧告書G. 707, G. 708, G. 709で規定されたSDHフレームにおいて、AUは管理バイトと情報バイトVC(Virtual Container)から構成されている。情報バイトVCの領域には、さらに、所定単位の低速度の情報が多重化されて詰め込まれている。上述したように、AUにはAU-3単位とAU-4単位とが存在するが、以下の説明では、AU-3単位を例に挙げて説明することとする。

【0003】 従来の技術による情報バイトVCの方路入れ替えの処理は、STM-Nフレームの入力信号に対応して、1フレームないし2フレーム分の情報を所定のメモリに書き込み、方路入れ替え制御信号に応じて当該メモリから情報バイトVC単位のデータを読み出して、送信するSTM-Nフレーム信号の指定されたAU位置へマッピングしていた。

【0004】

【発明が解決しようとする課題】 このため、従来の装置においては、以下に示すような問題を生じていた。

(1) クロスコネクトする入出力信号線数が増加すると、それぞれの入出力線数に対応してフレーム蓄積用のメモリ量が増大し、装置規模が大きくなってしまう。また、フレーム蓄積用のメモリを介在するので、このようなクロスコネクト端局装置が複数配備された伝送網においては、信号が端局装置を通過する毎に遅れが生じて、信号の伝搬遅延時間が大きくなってしまう。

【0005】 (2) クロスコネクトのためには、時間スイッチと空間スイッチを組み合わせたスイッチ・マトリクスが必要であり、スイッチ・マトリクス内で競合(衝突)が起こらないような構成とする必要があった。本発明は上記の点に鑑みてなされたものであり、その目的

は、信号伝搬遅延が少なく、クロスコネクトに必要なメモリ量を削減して回路規模を縮小するとともに、不特定多数の信号がランダムに入力される ATM (Asynchronous Transfer Mode ; ITU-T I. 432 で規定された非同期転送モード) 装置等においても、競合による情報欠落が発生しないクロスコネクト回路およびこれを用いた端局装置を提供することにある。

【0006】

【課題を解決するための手段】以上の課題を解決するために、請求項1記載の発明は、所定数のビットを単位として S_r 行 $\times S_c$ 列で表現されるサブフレームと、該サブフレームを管理する C_m 列の管理情報バイトとを方路に入れ替えるクロスコネクト回路であって、前記サブフレームと該サブフレームを管理する前記管理情報バイトとを所定の長さのパケットデータへ変換するパケット生成手段と、前記パケットデータにアドレスを付与するための制御を行う回線制御手段と、前記回線制御手段により指定された前記アドレスを、前記パケット生成手段が生成した前記パケットデータのアドレス部分へ書き込むアドレス付与手段と、前記パケットデータに付与されたアドレスに基づいて、該パケットデータを対応する出力端子へ振り分けるパケットスイッチ手段と、前記パケットスイッチ手段で振り分けられたパケットデータから前記アドレス部分を取り除いて、該パケットデータの情報部分を抽出するパケット分解手段と、前記サブフレームを生成するために必要とされる管理情報を、前記情報部分に附加して、サブフレームを再生するサブフレーム生成手段とから構成したものである。

【0007】また、請求項2記載の発明は、請求項1記載の発明において、前記パケットデータとして、ITU-T I. 432 で規定される ATM セルを使用することを特徴としている。また、請求項3記載の発明は、請求項1記載の発明において、前記 S_r 行 $\times S_c$ 列のサブフレームと該サブフレームに対応する前記 C_m 列の管理情報バイトとを合わせた S_r 行 $\times (S_c + C_m)$ 列のフレーム構造を、 $(S_c + C_m)$ の長さのパケットへ変換することを特徴としている。

【0008】また、請求項4記載の発明は、所定数のビットを単位として M_r 行 $\times M_c$ 列で表現されるビット配列を持つメインフレームを有し、該メインフレームの特定の C_m 列には管理情報バイト群を有し、該管理情報バイト群を除いた部分に、 S_r 行 $\times S_c$ 列で表現されるサブフレームを複数個収容した伝送路符号を送受信する端局装置において、受信した前記メインフレーム信号から、前記サブフレームと該サブフレームを管理する管理情報バイトを一つの単位として分離するフレーム分離手段と、前記フレーム分離手段が生成した前記サブフレームと該サブフレームを管理する管理情報バイトとを方路に入れ替える請求項1乃至請求項3の何れかの項に記載されたクロスコネクト回路と、前記クロスコネクト回路

から出力されるサブフレームをもとにしてメインフレームを生成するフレーム多重化手段とを具備し、入力された n 本のメインフレーム信号を、 m 本のメインフレーム出力信号へサブフレーム単位に方路変更することを特徴としている。

【0009】また、請求項5記載の発明は、請求項4記載の発明において、前記メインフレームとして、ITU-T の勧告書 G. 707, G. 708, G. 709 で規定される SDH フレームを用いることを特徴としている。

【0010】

【発明の実施の形態】以下、図面を参照して本発明の一実施形態について説明する。なお、本実施形態においては、STM-N のうちの $N=1$ の場合、すなわち STM-1 の場合、について説明することとする。図1は、同実施形態による端局装置の構成を示すブロック図である。この端局装置には、図の左側に示すように n 本の STM-1 入力信号 $I_N \# 1 \sim I_N \# n$ が入力され、最終的に、図の右側に示す m 本の STM-1 出力信号 $O_{N \# 1} \sim O_{N \# m}$ が outputされる。

【0011】この端局装置は、STM-1 受信部 1-1～1-n, データ HW 交換部 2, STM-1 送信部 3-1～3-m に大別される。STM-1 受信部 1-1～1-n, STM-1 送信部 3-1～3-m と、データ HW 交換部 2 における 1：3 分離回路 9-1～9-n, パケットアセンブリ回路 10-1～10-n, パケット分解回路 13-1～13-m, 3：1 多重化回路 14-1～14-m (何れも詳細は後述) は、それぞれが同一の構成となっている。そこで、以下に述べる構成の説明においては、STM-1 受信部 1-1, STM-1 送信部 3-1, 1：3 分離回路 9-1, パケットアセンブリ回路 10-1, パケット分解回路 13-1, 3：1 多重化回路 14-1 についてのみ説明することとする。

【0012】まず、STM-1 受信部 1-1 は、入力バッファ回路 4-1, フレーム同期回路 5-1, SOH (セクションオーバーヘッド) 終端部 6-1 からなる。また、SOH 終端部 6-1 は、デスクランブル・B1 バイト検出回路 7-1 とポイント処理・誤り検出回路 8-1 から構成されている。

【0013】入力バッファ回路 4-1 は、STM 入力信号 $I_N \# 1$ をバッファして出力する。フレーム同期回路 5-1 は、入力バッファ回路 4-1 の出力信号からフレーム同期信号を検出してフレーム同期をとる。デスクランブル・B1 バイト検出回路 7-1 は、フレーム同期回路 5-1 の出力のデスクランブル処理、図2に示す STM-1 フレームの SOH 部 (詳細は次に述べる) に含まれる B1 バイトの検出などの終端処理を行う。ポイント処理・誤り検出回路 8-1 は、クロック CK を使用することで、デスクランブル・B1 バイト検出回路 7-1 の出力を装置内クロックのデータ信号へ乗せ換えとポイント処理、STM-1 フレームの SOH 部に含まれる B2 バイトを用いた

符号誤り検出などを行う。

【0014】ここで、図2にSTM-1フレームの詳細な構造を示す。この図において、STM-1の最初の9列はSOHと呼ばれる。また、STM-1フレームからSOHを除いた領域をペイロードと呼ぶ。さらに、H1, H2, H3の各バイトを含む列は、AU-3ポインタと呼ばれる。なお、上述したB1バイトやB2バイトを含めて、この図に記載された各バイトの意味は、すべて国際標準で規定されているものである。たとえば、B1バイトは中継器相互間、又は、中継器と伝送端局装置との間の符号誤り監視に用いるバイトであって、B2バイトは伝送端局装置相互間の符号誤り監視に用いるバイトである。

【0015】また、図3にはAU-3と該AU-3に対応するSOHのバイト構造を示してある。この図において、固定スタッフと呼ばれる2列の領域、太線枠で囲まれた9行×85列($87 - 2 = 85$ 列)のVC-3と呼ばれる領域、H1とH2とH3からなるAU-3ポインタの領域とを合わせたものが、AU-3の領域である。

ちなみに、上述したAU-4の領域は、図2に示すAU-3ポインタの領域と、9行×261バイトのペイロードとを合わせた部分を指す。

【0016】一方、1:3分離回路9-1は、装置内クロックへ乗せ換えた図2の形式のSTM-1フレーム信号を、バイト単位の3本のAU-3データ信号へ分離する。ここで、このAU-3データ信号への分離であるが、図2に示すように3個のAU-3はSTM-1のフレーム上で3バイト毎にマッピングされていることから、フレーム同期がとれている状態では、各行について3バイト毎にデータを抽出する回路を用いることにより、AU-3単位で分離することができる。

【0017】また、STM-1からAU-3単位のデータを分離するにあたっては、H1, H2, H3を除くSOH領域を識別して分離するのに、カウンタ回路等の制御を要する。従って、回路を簡単化するためには、常に3バイト毎に分離を行う回路構成が考えられる。なお、3バイト毎に分離した後に低速度動作となった状態において、AU-3ポインタの領域以外のSOHバイト部分に、パリティ等の装置内監視情報を付加して、装置内を転送中の符号誤りを検出することも可能である。

【0018】他方、パケットアセンブリ(Packet Assembly)回路10-1は、1:3分離回路9-1の出力を固定長のパケットデータへ変換する。ここで、パケットデータとしては、(1)現在、ITU等で検討が進められているATMの53バイトのセルを用いる方法と、(2)AU-3データが9行×90列(Sr行×Sc列)の行列構造をしていることを考慮して、長さ90バイトを単位とするパケットを用いる方法とが考えられる。

【0019】まず、ATMセル構造を用いる上記の(1)の方法について説明する。なお、この方法に関し

ては図4が参考となる。周知のように、ATMセルは53バイトのうち48バイトを情報信号の転送に使用し、それ以外の5バイトを管理バイトとしている。そこで、この方法によれば、AU-3データをATMセルの48バイトの領域へ乗せることになる。

【0020】この乗せ換えには、クロック速度が2のべき乗となるように、速度変換回路(図示略)を介してAU-3データの情報を48バイトへ変換する。ここで、クロック速度は必ずしも2のべき乗である必要はないが、2のべき乗とした方が速度変換回路の回路構成が簡単になるという利点がある。そして、ATMセルの最初の5バイト中の所定部分に、パケットの宛先(アドレス)を書き込み、スイッチ部11(詳細は後述)へ入力する。なお、ATMセルの最初の5バイトのアドレスと48バイトの情報信号以外のバイトの部分に、装置内監視情報を書き込むことも可能である。

【0021】次に、AU-3の1行分の長さのパケットへ変換する上記の(2)の方法について説明する。なお、この方法に関しては図5が参考となる。この方法では、AU-3の1行の長さが90バイトであることから、これを単位とするパケットに変換するものである。ここで、データの構造がパケット化前とパケット化後とで同じであることから、上記の(1)の方法のような速度変換処理は不要となる。また、AU-3の最初の3バイトはSOHの管理バイトであり、この部分のうちの1:3分離回路9-1で書き込まれた装置内監視情報部以外のバイトに、パケットの宛先(アドレス)と装置内監視情報を書き込んで、スイッチ部11へ入力する。

【0022】一方、スイッチ部(パケット振り分け部)11は、制御部12(詳細は次に述べる)によって予め決められた送信先の宛先(アドレス)と、パケットアセンブリ回路10-1~10-nから送られてきたパケットの宛先(アドレス)とを照合して、これらパケットを当該スイッチ部11の出力端子へ振り分ける。なお、スイッチ部11において、図における左側が入力端子、右側が出力端子である。

【0023】制御部12の主な機能は次のようなものである。第1に、STM-1入力信号IN#1~IN#nのそれぞれに対するAU-3フレーム位相をもとに、送信STM-1フレームへ組み立てた時の当該AU-3データのポインタ値を計算して、STM-1送信部3-1~3-mにポインタ値を指示する。第2に、本端局装置の外部から指定された方路設定命令に従って、当該パケット化されたAU-3データへスイッチ部11で使う宛先(アドレス)を付与するように、パケットアセンブリ回路10-1を制御する。

【0024】パケット分解(Packet De-Assembly)回路13-1は、スイッチ部11の出力端子から送られるパケットデータに対して、パケット化と逆の方法によりデータの抽出を行う。すなわち、上述した(1)の方法によ

ってパケット化されている場合には、ATMセルの最初の5バイトを分離して、残りの48バイトから情報データを抽出する。また、装置内監視情報をもとにして、データの符号誤りを検出する。さらに、AU-3のデータへ変換するために速度変換を行って、AU-3フレーム構造を組み立てる。

【0025】一方、上述した(2)の方法でパケット化されている場合には、最初の3バイトにアドレスと装置内監視情報が存在することから、アドレス部分以外を後段にそのまま伝達する。また、パケットデータの構造とAU-3のデータ構造と同じであることから、上述したように速度の変換は不要となる。そして、このようにして抽出されたデータが、AU-3フレーム構造へ組み立てられる。

【0026】次に、3:1多重化回路14-1は、パケット分解回路13-1により組み立てられたAU-3フレーム構造のデータ3個を、指定されたAU-3順にバイト単位で多重化して、STM-1フレーム構造のデータを組み立てる。なお、上記のパケット分解回路13-1で行った装置内監視情報による符号誤りの検出を、ここでも行うことが可能である。

【0027】次に、SOH挿入部15-1は、ポインタ挿入部16-1とスクランブル回路17-1から構成されている。ポインタ挿入部16-1は、入力側におけるポインタ処理・誤り検出回路8-1～8-nで得られたポインタ値、本装置の出力側で生成されるSTMフレーム位相、スイッチ部11で選択された各AU-3のフレーム位相を制御部で計算した結果を、3:1多重化回路14-1が生成したSTM-1フレーム構造のデータ中のH1, H2, H3の部分に、ポインタ値として書き込む。また、これに加えて、STMフレームでのB2バイト計算を行う。

【0028】スクランブル回路17-1は、ポインタ挿入部16-1が出力したデータのスクランブル処理やB1バイト処理などを行う。出力バッファ回路18-1は、スクランブル回路17-1の出力信号をバッファして、STM-1出力信号OUT#1として出力する。

【0029】次に、上記構成によるクロスコネクト回路およびこれを用いた端局装置の動作を説明する。まず、STM-1入力信号IN#1は、入力バッファ回路4-1を経て、フレーム同期回路5-1によってフレーム同期が取られる。次いで、フレーム同期回路5-1の出力は、デスクランブル・B1バイト検出回路7-1でB1バイト検出、デスクランブル等の終端処理が行われ、引き続いで、ポインタ処理・誤り検出回路8-1により、装置内クロックへのデータ信号の乗せ換えとポインタ処理、B2バイトによる符号誤り検出などが行われる。

【0030】そして、ここまで処理は、従来からあるSTM信号の終端処理と同じである。他方、制御部12は、各入力信号のAU-3フレーム位相をもとに、送信STM-1フレームへ組み立てた時の当該AU-3データのポインタ値を計算しておく。

【0031】次に、装置内クロックへ乗せ換えられたSTM-1フレーム信号は、1:3分離回路9-1で3本のAU-3データ信号へ分離され、AU-3ポインタ領域以外のSOHバイトの部分に、装置内監視情報が付与される。そして、1:3分離回路9-1の出力は、パケットアセンブリ回路10-1によって固定長のパケットデータへ変換され、スイッチ部11へ送出される。その際、制御部12は、パケット化されたAU-3データに宛先を付与するように、パケットアセンブリ回路10-1を制御する。

【0032】ここで、上述した(1)の方法では、ATMセルの管理バイトにパケットの宛先が書き込まれ、さらに、AU-3データがATMセルの48バイトへ変換される。また、このとき、ATMセルの管理バイトのアドレス部と48バイトの情報信号以外の部分に装置内監視情報が書き込まれる。一方、上述した(2)の方法では、AU-3の1行の長さを単位とするパケットに変換される。AU-3のSOHの管理バイトのうち、1:3分離回路9-1で装置内監視情報が書き込まれた部分以外に、パケットの宛先と装置内監視情報が書き込まれる。

【0033】このようにして、STM-1入力信号IN#2～IN#nについても、STM-1入力信号IN#1と同様の処理が施されて、スイッチ部11へ入力される。次に、スイッチ部11は、制御部12が予め決定した送信先の宛先と、入力されたパケットの宛先とを照合して、これらのパケットを該スイッチ部11の出力端子へ振り分ける。

【0034】次に、スイッチ部11から出力されたパケットデータから、パケット分解回路13-1によりデータが抽出される。すなわち、上記の(1)の方法によれば、ATMセルの管理バイトが分離されて残りの48バイトから情報データが抽出され、装置内監視情報を用いてデータの符号誤りが検出される。この後、速度変換がなされてAU-3のフレーム構造へ組み立てられる。一方、上述した(2)の方法によれば、パケットデータの最初の3バイトに含まれるアドレス部分以外のデータが抽出されてAU-3フレームの構造へ組み立てられるとともに、装置内監視情報を用いてデータの符号誤りが検出される。

【0035】次いで、これらのAU-3フレーム構造のデータは、3:1多重化回路14-1によって、指定されたAU-3順でバイト単位に多重化され、STM-1フレーム構造のデータへ組み立てられる。また、これに加えて、装置内監視情報を用いた符号誤りの検出がなされる。さらに、ポインタ挿入部16-1においては、入力側のポインタ処理・誤り検出回路で得られたポインタ値、本装置の出力側で生成されるSTMフレーム位相、スイッチ部11で選択されたAU-3のフレーム位相が制御部12で計算されて、その結果の値が、H1, H2, H

3のポインタ値として上記のSTM-1フレーム構造のデータに書き込まれる。また、これに加えてB2バイトの計算も行われる。

【0036】次に、ポインタ挿入部16-1の出力は、スクランブル回路17-1でスクランブルがかけられると共にB1バイト処理がなされ、出力バッファ回路18-1からSTM-1出力信号OUT#1として出力される。このようにして、スイッチ部11からパケット分解回路13-2～13-mへ振り分けられたパケットデータについても、パケット分解回路13-1へ送られたパケットデータと同様の処理が施され、それぞれがSTM-1出力信号OUT#2～OUT#mとしてバッファ回路18-1～18-mより出力される。

[0037]

【発明の効果】以上説明したように、請求項1ないし3記載の発明によれば、サブフレームと管理情報バイトをパケットデータへ変換し、アドレスを付与し、当該アドレスに基づいてパケットデータを振り分けて、振り分けられたパケットデータから情報部分を抽出し、これに管理情報を付加してサブフレームを再生するようにしたので、サブフレーム単位のクロスコネクト機能を実現できるとともに、回路の信号伝搬遅延を少なくでき、さらに、クロスコネクトを行うのに必要とされるメモリを省略して回路規模を小さくすることができるという効果が得られる。また、予めクロスコネクトの方路設定が回線制御手段で一意に決められているので、不特定多数の信号がランダムに入力されるATM装置等に使用しても、競合による情報欠落等が発生しないという効果が得られる。

【0038】また、請求項4ないし5記載の発明によれば、受信したメインフレーム信号からサブフレームと管理情報バイトを分離し、請求項1ないし3記載のクロスコネクト回路によって方路入れ替えを行い、得られるサ

フレームからメインフレームを生成するようにしたので、SDH伝送装置、特に、STM-Nフレーム構造を持つ信号を取り扱う場合に、信号伝搬遅延が少なく回路規模の小さな端局装置を構成でき、また、不特定多数の信号がランダムに入力されるATM装置等において、競合による情報欠落等の発生しない端局装置を実現できるという効果が得られる。

【図面の簡単な説明】

【図1】 本発明の一実施形態による端局装置の構成を示すブロック図である。

【図2】 STM-1フレームのフレーム構造を表わした図である。

【図3】 AU-3と該AU-3に対応するSOHバイトの構造を表わした図である。

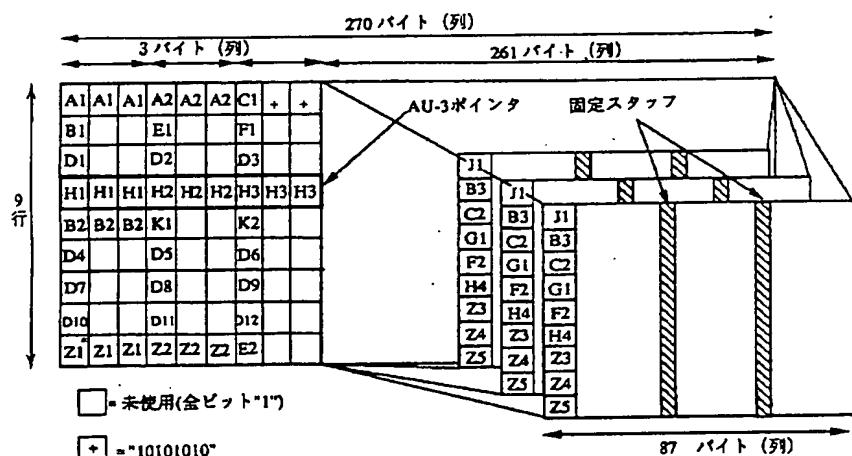
【図4】 同実施形態において、AU-3フレームをATMの53バイトセルへマッピングする方法を説明した図である。

【図5】 同実施形態において、AU-3の1列を単位長とするパケットへのマッピング方法を説明した図である。

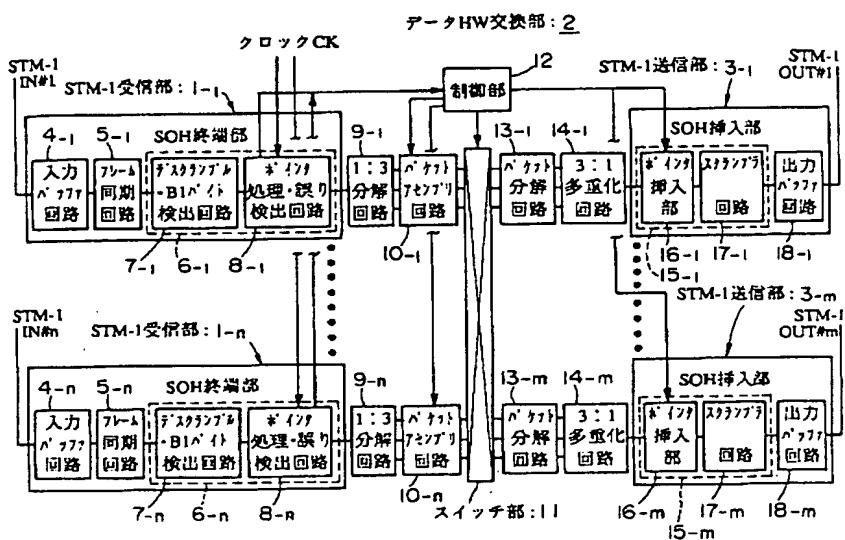
【符号の説明】

1-1~1-n…STM-1受信部、2…データHW交換部、3-1~3-m…STM-1送信部、4-1~4-n…入力バッファ回路、5-1~5-n…フレーム同期回路、6-1~6-n…SOH終端部、7-1~7-n…デスクランプ・B1バイト検出回路、8-1~8-n…ポインタ処理・誤り検出回路、9-1~9-n…1:3分離回路、10-1~10-n…パケットアセンブリ回路、11…スイッチ部、12…制御部、13-1~13-m…パケット分解回路、14-1~14-m…3:1多重化回路、15-1~15-m…SOH挿入部、16-1~16-m…ポインタ挿入部、17-1~17-m…スクランプ・B回路、18-1~18-m…出力バッファ回路

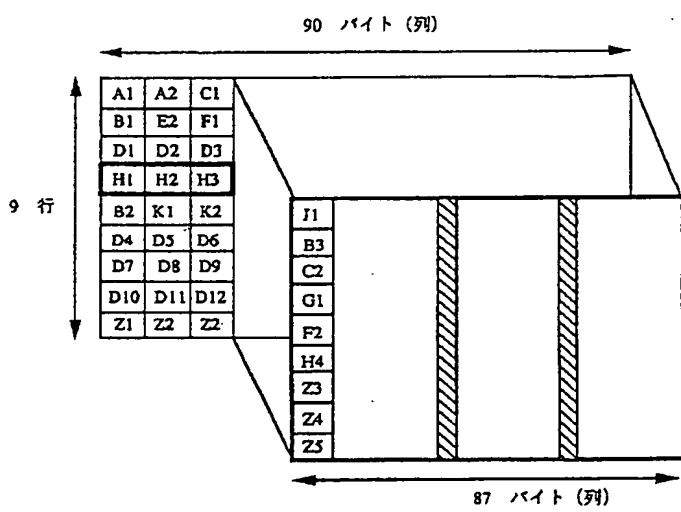
[図2]



【図1】

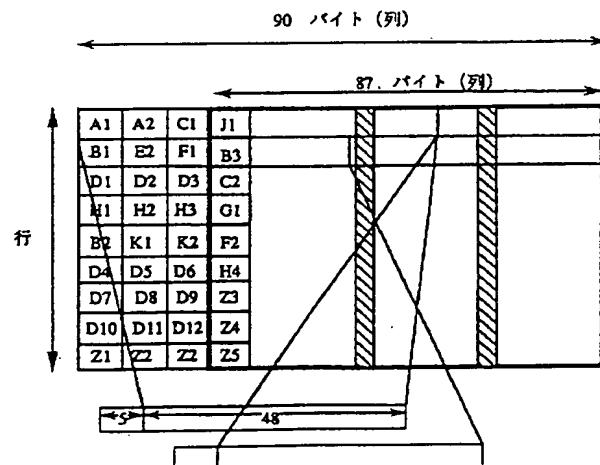


【図3】



太枠枠 : AU-3領域
その他 : AU-3に対応するSOHバイト領域

【図4】



【図5】

